



JP-2002-289683 (Cited Document 2)

METHOD OF FORMING TRENCH ISOLATION STRUCTURE AND
SEMICONDUCTOR DEVICE

5 [0050]

A sintering process for making a film dense may be performed so that the buried insulating film 6 in the trench becomes hard to be etched at a later wet washing process. This sintering process may be an oxidation process at 800 °C or higher or an annealing process in a nitrogen atmosphere at 1000 °C or higher.

10

Fig. 2 is a cross sectional view illustrating a process of the trench isolation method according to an embodiment of the present invention.

1, 101... silicon substrate, 2, 102... silicon oxide film, 3, 103... silicon nitride film, 4, 104... thermal oxide film, 5, 105... nitride film liner, 6, 106... buried 15 insulating film, 11... etching barrier insulating film, 12... side wall, 107... spacer, 108... overhang, T... trench, D... groove

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-289683

(43)Date of publication of application : 04.10.2002

(51)Int.CI.

H01L 21/76
H01L 21/306
H01L 21/314
H01L 21/316
H01L 21/318

(21)Application number : 2001-093056

(71)Applicant : NEC CORP

(22)Date of filing : 28.03.2001

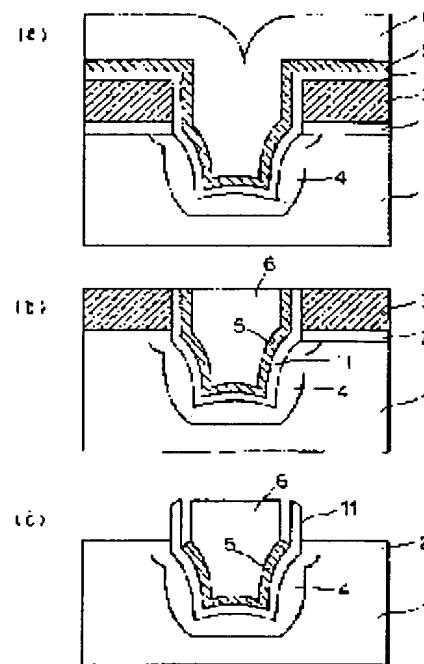
(72)Inventor : KUMAMOTO KEITA

(54) METHOD OF FORMING TRENCH ISOLATION STRUCTURE AND SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method of forming a trench isolation structure, which is suitable to miniaturize elements and can obtain excellent element properties by preventing any groove formed at the periphery of the trench structure.

SOLUTION: This method comprises a step for forming a mask layer containing a nitride film on a semiconductor substrate and forming a fixed opening pattern on the mask layer, a step for forming a trench by etching the exposed portion of the semiconductor substrate using the mask layer as a mask, a step for forming a thermal oxide film in the inner wall of the trench, a step for forming an insulation film as an etching barrier on the whole of the main face of the semiconductor substrate, a step for forming a nitride film liner on the insulation film, a step for forming a buried insulation film in order to bury the trench, a step for planerizing the nitride film of the mask layer so as to be exposed, and a step for removing the mask layer by isotropic etching.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-289683
(P2002-289683A)

(43)公開日 平成14年10月4日 (2002.10.4)

(51) Int.Cl. ⁷	識別記号	F I	マーク(参考)
H 01 L 21/76		H 01 L 21/314	M 5 F 0 3 2
21/306		21/316	S 5 F 0 4 3
21/314			X 5 F 0 5 8
21/316		21/318	B
		21/76	L

審査請求 未請求 請求項の数18 O.L (全13頁) 最終頁に続く

(21)出願番号 特願2001-93056(P2001-93056)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(22)出願日 平成13年3月28日 (2001.3.28)

(72)発明者 熊本 景太

東京都港区芝五丁目7番1号 日本電気株

式会社内

(74)代理人 100088328

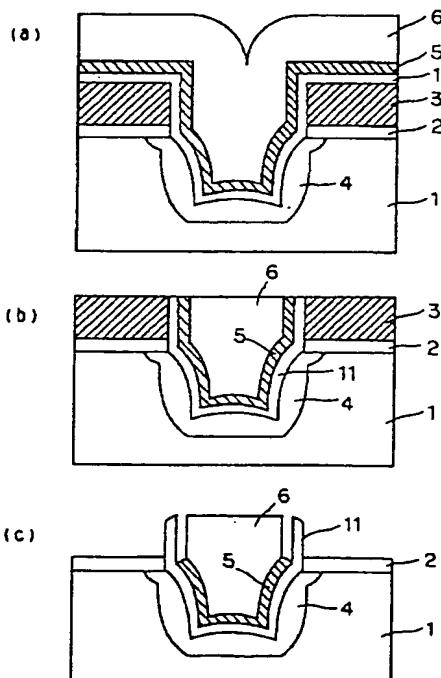
弁理士 金田 嘉之 (外2名)

(54)【発明の名称】トレンチ分離構造の形成方法および半導体装置

(57)【要約】

【課題】 素子の微細化に好適であり、トレンチ構造の縁に溝が形成されないようにし、優れた素子特性を発揮させ得るトレンチ分離構造の形成方法を提供する。

【解決手段】 半導体基板上に窒化膜を含むマスク層を形成し、前記マスク層に所定の開口パターンを形成する工程と、前記マスク層をマスクとして前記半導体基板の露出部分をエッチングしてトレンチを形成する工程と、前記トレンチ内壁に熱酸化膜を形成する工程と、前記半導体基板正面の全体にエッティング障壁用絶縁膜を形成する工程と、前記エッティング障壁用絶縁膜上に窒化膜ライナーを形成する工程と、前記トレンチを埋め込むように埋込絶縁膜を形成する工程と、前記マスク層の窒化膜が露出するように平坦化処理する工程と、前記マスク層を等方性エッティングにより除去する工程を実施する。



【特許請求の範囲】

【請求項1】 半導体基板上に第1耐酸化性絶縁膜を含むマスク層を形成し、前記マスク層に所定の開口パターンを形成する工程と、少なくとも前記マスク層をマスクとして前記半導体基板の露出部分をエッチングしてトレンチを形成する工程と、前記トレンチ内壁に第1絶縁膜を形成する工程と、前記半導体基板正面の全体に第2耐酸化性絶縁膜を形成する工程と、前記トレンチを埋め込むように第2絶縁膜を形成する工程と、前記マスク層の第1耐酸化性絶縁膜が露出するように平坦化処理する工程と、前記第1及び第2耐酸化性絶縁膜をエッチングする工程を有するトレンチ分離構造の形成方法であって、前記第2耐酸化性絶縁膜の形成前において、少なくとも前記マスク層の開口内壁面に、前記エッチングに対するエッチング障壁膜を形成し、前記第2耐酸化性絶縁膜は前記エッチング障壁膜を覆うように形成することを特徴とする半導体装置の製造方法。

【請求項2】 前記エッチング障壁膜として厚さ5nm以上30nm以下の酸化膜を形成する請求項1記載のトレンチ分離構造の形成方法。

【請求項3】 半導体装置におけるトレンチ分離構造の形成方法であって、

半導体基板上に第1耐酸化性絶縁膜を含むマスク層を形成し、前記マスク層に所定の開口パターンを形成する工程と、前記マスク層をマスクとして前記半導体基板の露出部分をエッチングしてトレンチを形成する工程と、前記トレンチ内壁に第1絶縁膜を形成する工程と、前記半導体基板正面の全体にエッチング障壁用絶縁膜を形成する工程と、前記エッチング障壁用絶縁膜上に第2耐酸化性絶縁膜を形成する工程と、前記トレンチを埋め込むように第2絶縁膜を形成する工程と、前記マスク層の第1耐酸化性絶縁膜が露出するように平坦化処理する工程と、前記マスク層をエッチングにより除去する工程を有する半導体装置の製造方法。

【請求項4】 前記エッチング障壁用絶縁膜として厚さ5nm以上30nm以下の酸化膜を形成する請求項3記載のトレンチ分離構造の形成方法。

【請求項5】 半導体装置におけるトレンチ分離構造の形成方法であって、半導体基板上に第1耐酸化性絶縁膜を含むマスク層を形成し、前記マスク層に所定の開口パターンを形成する工程と、前記半導体基板正面の全体にサイドウォール用絶縁膜を形成し、これを異方性エッチングによりエッチバックすることで前記マスク層の開口内の側壁にサイドウォールを形成する工程と、前記マスク層および前記サイドウォールをマスクとして前記半導体基板の露出部分をエッチングしてトレンチを形成する工程と、前記トレンチ内壁に第1絶縁膜を形成する工程と、前記半導体基板正面の全体に第2耐酸化性絶縁膜を形成する工程と、前記トレンチを埋め込むように第2絶縁膜を形成する工程と、前記マスク層の第1耐酸化性絶縁膜

縁膜が露出するように平坦化処理する工程と、前記マスク層をエッティングにより除去する工程を有する半導体装置の製造方法。

【請求項6】 前記サイドウォールは酸化膜を用いて厚さ10nm以上100nm以下となるように形成する請求項5記載のトレンチ分離構造の形成方法。

【請求項7】 前記第1耐酸化性絶縁膜として窒化膜を形成し、前記第2耐酸化性絶縁膜として厚さ4nm以上20nm以下の窒化膜を形成する請求項1～6のいずれか1項に記載のトレンチ分離構造の形成方法。

【請求項8】 前記第2耐酸化性絶縁膜上に熱CVD法により帯電防止絶縁膜を形成する工程をさらに有し、前記第2絶縁膜をプラズマCVD法あるいは高密度プラズマCVD法により形成する請求項1～7のいずれか1項に記載のトレンチ分離構造の形成方法。

【請求項9】 前記帯電防止絶縁膜として厚さ5nm以上30nm以下の酸化膜を形成する請求項8記載のトレンチ分離構造の形成方法。

【請求項10】 前記第1絶縁膜として熱酸化膜を形成する請求項1～9のいずれか1項に記載のトレンチ分離構造の形成方法。

【請求項11】 半導体基板に形成されたトレンチ内に第1絶縁膜、前記第1絶縁膜上に形成された第2絶縁膜、および前記第2絶縁膜上に形成された耐酸化性絶縁膜を有し、且つ前記第1絶縁膜、前記第2絶縁膜および前記耐酸化性絶縁膜を介して前記トレンチ内を埋め込むように形成された埋込絶縁膜を有するトレンチ分離構造を備えた半導体装置。

【請求項12】 半導体基板に形成されたトレンチ内に第1絶縁膜、前記第1絶縁膜上に形成された第2絶縁膜、前記第2絶縁膜上に形成された耐酸化性絶縁膜、および前記耐酸化性絶縁膜上に形成された帯電防止絶縁膜を有し、且つ前記第1絶縁膜、前記第2絶縁膜、前記耐酸化性絶縁膜および前記帯電防止絶縁膜を介して前記トレンチ内を埋め込むように形成された埋込絶縁膜を有するトレンチ分離構造を備えた半導体装置。

【請求項13】 前記帯電防止絶縁膜は熱CVD絶縁膜である請求項12記載の半導体装置。

【請求項14】 前記帯電防止絶縁膜は厚さ5nm以上30nm以下の酸化膜である請求項12又は13記載の半導体装置。

【請求項15】 前記埋込絶縁膜はプラズマCVD絶縁膜あるいは高密度プラズマCVD絶縁膜である請求項1～14のいずれか1項に記載の半導体装置。

【請求項16】 前記耐酸化性絶縁膜は厚さ4nm以上20nm以下の窒化膜である請求項11～15のいずれか1項に記載の半導体装置。

【請求項17】 前記第2酸化膜は厚さ5nm以上30nm以下の酸化膜である請求項11～16のいずれか1項に記載の半導体装置。

【請求項18】 前記第1酸化膜は熱酸化膜である請求項11～17のいずれか1項に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はトレンチ分離構造の形成方法、及びトレンチ分離構造を備えた半導体装置に関する。

【0002】

【従来の技術】 近年、半導体装置の高集積化に伴い、素子構造の微細化とともに素子分離構造に対しても微細化が求められている。そこで、従来のLOCOS法に代わり、より微細な素子分離構造の形成に適したトレンチ分離(Trench Isolation)法が提案されている。

【0003】 トレンチ分離法は、シリコン基板を素子間の隔離に必要な深さまでエッチングして凹部、すなわちトレンチ(trench)を形成し、このトレンチを充填するように絶縁膜を形成した後、平坦化処理を行いトレンチ内以外の絶縁膜を除去する方法である。従来のトレンチ分離法の一例を図7及び図8を用いて説明する。

【0004】 まず、シリコン基板101上にシリコン酸化膜102及びシリコン窒化膜103を順次形成する。次いで、トレンチを形成しようとする領域(非活性領域)上のシリコン窒化膜103が露出するようにレジストパターン(不図示)を形成し、このレジストパターンをマスクとして非活性領域のシリコン基板101表面が露出するまでシリコン窒化膜103及びシリコン酸化膜102を順次エッチングする。レジストパターンを除去した後、シリコン窒化膜103をマスクとして露出しているシリコン基板101表面をエッチングしてトレンチTを形成する(図7(a))。

【0005】 次に、トレンチTの内部の壁面に熱酸化膜104を形成する(図7(b))。この熱酸化膜104は、トレンチTの形成のために行った前記エッチングにより発生した基板表面の損傷を補償すると同時に、トレンチのコーナーを丸めて応力を緩和することで基板内にディスロケーションが発生することを防ぐためのものである。

【0006】 次に、基板の主表面の全体に窒化膜ライナー105を形成し、その上に、トレンチTが充填されるように埋込絶縁膜106を形成する(図7(c))。この窒化膜ライナー105は、後の酸化工程等において酸素が埋込絶縁膜106を介してトレンチTの壁内部へ浸入することを防止する、すなわちトレンチ壁内部の酸化防止のために形成される。酸素がトレンチTの壁内部へ浸入するとその部分のシリコンが酸化されて体積が増大し、これに伴う応力によってディスロケーション(dislocation)等の欠陥が発生し、素子特性が低下する。

【0007】 次に、シリコン窒化膜103が露出するまで、化学的機械的研磨(CMP:Chemical Mechanical Polishing)を行い、基板の主表面の平坦化を行う(図

8(a))。

【0008】 次に、ウェットエッティングにより、基板の非活性領域以外の領域(活性領域)上のシリコン窒化膜103を除去する(図8(b))。このとき、窒化膜ライナー105がトレンチ内までエッチングされ、これが後に形成される溝Dの原因となる。

【0009】 次に、湿式洗浄工程(ウェットエッティング)にて、活性領域上のシリコン酸化膜102および非活性領域にある埋込絶縁膜106の突出部を除去して、目的とするトレンチ分離構造を形成する(図8(c))。このとき、図8(b)で示された工程にて窒化膜ライナー105がトレンチ内までエッチングされていることに起因して、トレンチに絶縁膜が埋め込まれてなる素子分離領域(トレンチ分離領域)の縁に沿って溝Dが形成される。

【0010】 この溝Dが深く大きく形成されると、後のゲート電極の形成工程においてこの溝内に導電性材料が残留しやすくなり、ゲート電極のショート不良が発生する。また、ゲート電極の電界が、溝Dにより形成された基板コーナーへ集中しやすくなり、しきい値が変動したりリーケ電流が発生する等、素子特性が不安定となる。

【0011】 このような溝Dの発生を抑えるため、例えば特開2000-12677号公報には、次の図9及び図10に示すようなトレンチ分離構造の形成方法が記載されている。

【0012】 まず、図7(a)で示される前記工程と同様にして基板101の露出表面をエッチングしてトレンチTを形成した後、図7(b)で示される前記工程と同様にしてトレンチTの内部壁面に熱酸化膜104を形成する(図9(a))。

【0013】 次に、図9(b)に示すように、シリコン窒化膜103を所定の厚さだけ等方性エッチングする。これにより、シリコン窒化膜103の上面だけでなく側面部分もエッチングされるため、トレンチTの開口径に対し、シリコン窒化膜103の開口径を広げることができる。結果、トレンチTの開口部周囲に基板あるいは酸化膜表面を露出したつば部が形成され、段差形状が得られる。

【0014】 次に、図7(c)で示される前記工程と同様にして、基板の主面全体に窒化膜ライナー105を形成し、その上にトレンチTが充填されるように埋込絶縁膜106を形成する(図9(c))。

【0015】 次に、図8(a)で示される前記工程と同様にしてCMP法により平坦化処理を行った後(図10(a))、シリコン窒化膜103に対して等方性エッチング(ウェットエッティング)を行う(図10(b))。この等方性エッチングの過程では、窒化膜ライナー105も徐々に露出端部からエッチング除去されていくが、前記のつば部が緩衝体として機能し、そのつば部上の窒化膜ライナーがエッチング除去されても、トレンチ内部

へ達する過剰なエッチングは防止される。よって、湿式洗浄工程において溝Dの形成が抑えられ、図10(c)に示すようなトレンチ分離構造が形成される。

【0016】また同公報には、その他の実施形態として、トレンチTの開口部周囲のつば部を次のようにして形成することが記載されている。

【0017】シリコン基板101上のシリコン酸化膜102及びシリコン窒化膜103を順次エッチングして、非活性領域のシリコン基板101表面を露出させる開口を形成した後、全面に酸化膜を形成し、これを異方性エッチングによりエッチバックして、開口内の側壁にスペーサ107を形成する(図11(a))。その後、このスペーサ107とシリコン窒化膜103をマスクとして基板の露出部分をエッチングしてトレンチTを形成する(図11(b))。そして、このスペーサ107を除去した後、トレンチTの内壁に熱酸化膜を形成することにより、図9(b)と同様な、トレンチTの開口部周囲につば部が形成された段差形状を得ることができる。

【0018】

【発明が解決しようとする課題】しかしながら、上記公報記載の方法では、つば部の幅を十分に確保するためには、窒化膜のウェットエッチング量を増やし図9(b)におけるシリコン窒化膜103の開口部を広げるか、図11(a)におけるスペーサ107を厚膜化する必要がある。窒化膜のウェットエッチング量を増やすと、シリコン窒化膜103が薄膜化され、後のCMP工程において研磨ストップとしての製造マージンが縮小する問題が生じる。一方、十分な広さのスペーサ107を確保することはトレンチ間の活性領域の幅を狭められないことを意味し、素子微細化の妨げとなる。

【0019】また、つば部の幅は、製造ばらつきにより一定に形成しにくいため、つば部に形成された窒化膜ライナーは窒化膜ウェットエッチング工程で完全に除去されずに活性領域上に一部残ることがある。活性領域上に窒化膜ライナーが残ると、酸化膜ウェットエッチング工程で窒化膜ライナーワークの酸化膜がエッチングされて窒化膜ライナーが底状に残り底部108が形成され(図12)、後のゲートパターン形成工程において窒化膜ライナーの底部108下にゲート電極材料が残留しやすくなり、ゲート間ショートの原因となる。

【0020】そこで本発明の目的は、素子の微細化に好適であり、トレンチ領域の縁に溝Dが形成されないようにし、ゲートパターン形成後の電極材料の残留を抑えて、優れた素子特性を発揮させ得るトレンチ分離構造の形成方法、およびその方法により形成されたトレンチ分離構造を有する半導体装置を提供することにある。

【0021】

【課題を解決するための手段】本発明は、半導体基板上に第1耐酸化性絶縁膜を含むマスク層を形成し、前記マスク層に所定の開口パターンを形成する工程と、少なくとも前記マスク層をマスクとして前記半導体基板の露出部分をエッチングしてトレンチを形成する工程と、前記トレンチ内壁に第1絶縁膜を形成する工程と、前記半導体基板正面の全体に第2耐酸化性絶縁膜を形成する工程と、前記トレンチを埋め込むように第2絶縁膜を形成する工程と、前記マスク層の第1耐酸化性絶縁膜が露出するように平坦化処理する工程と、前記第1及び第2耐酸化性絶縁膜をエッチングする工程を有するトレンチ分離構造の形成方法であって、前記第2耐酸化性絶縁膜の形成前ににおいて、少なくとも前記マスク層の開口内壁面に、前記エッチングに対するエッチング障壁膜を形成し、前記第2耐酸化性絶縁膜は前記エッチング障壁膜を覆うように形成することを特徴とする半導体装置の製造方法に関する。

【0022】また本発明は、前記エッチング障壁膜として厚さ5nm以上30nm以下の酸化膜を形成する上記のトレンチ分離構造の形成方法に関する。

【0023】また本発明は、半導体装置におけるトレンチ分離構造の形成方法であって、半導体基板上に第1耐酸化性絶縁膜を含むマスク層を形成し、前記マスク層に所定の開口パターンを形成する工程と、前記マスク層をマスクとして前記半導体基板の露出部分をエッチングしてトレンチを形成する工程と、前記トレンチ内壁に第1絶縁膜を形成する工程と、前記半導体基板正面の全体にエッチング障壁用絶縁膜を形成する工程と、前記エッチング障壁用絶縁膜上に第2耐酸化性絶縁膜を形成する工程と、前記トレンチを埋め込むように第2絶縁膜を形成する工程と、前記マスク層の第1耐酸化性絶縁膜が露出するように平坦化処理する工程と、前記マスク層をエッチングにより除去する工程を有する半導体装置の製造方法に関する。

【0024】また本発明は、前記エッチング障壁用絶縁膜として厚さ5nm以上30nm以下の酸化膜を形成する上記のトレンチ分離構造の形成方法に関する。

【0025】また本発明は、半導体装置におけるトレンチ分離構造の形成方法であって、半導体基板上に第1耐酸化性絶縁膜を含むマスク層を形成し、前記マスク層に所定の開口パターンを形成する工程と、前記半導体基板正面の全体にサイドウォール用絶縁膜を形成し、これを

40 異方性エッチングによりエッチバックすることで前記マスク層の開口内の側壁にサイドウォールを形成する工程と、前記マスク層および前記サイドウォールをマスクとして前記半導体基板の露出部分をエッチングしてトレンチを形成する工程と、前記トレンチ内壁に第1絶縁膜を形成する工程と、前記半導体基板正面の全体に第2耐酸化性絶縁膜を形成する工程と、前記トレンチを埋め込むように第2絶縁膜を形成する工程と、前記マスク層の第1耐酸化性絶縁膜が露出するように平坦化処理する工程と、前記マスク層をエッチングにより除去する工程を有する半導体装置の製造方法に関する。

【0026】また本発明は、前記エッチング障壁用絶縁膜として厚さ5nm以上30nm以下の酸化膜を形成する上記のトレンチ分離構造の形成方法に関する。

【0027】また本発明は、半導体装置におけるトレンチ分離構造の形成方法であって、半導体基板上に第1耐酸化性絶縁膜を含むマスク層を形成し、前記マスク層に所定の開口パターンを形成する工程と、前記半導体基板正面の全体にサイドウォール用絶縁膜を形成し、これを

40 異方性エッチングによりエッチバックすることで前記マスク層の開口内の側壁にサイドウォールを形成する工程と、前記マスク層および前記サイドウォールをマスクとして前記半導体基板の露出部分をエッチングしてトレンチを形成する工程と、前記トレンチ内壁に第1絶縁膜を形成する工程と、前記半導体基板正面の全体に第2耐酸化性絶縁膜を形成する工程と、前記トレンチを埋め込むように第2絶縁膜を形成する工程と、前記マスク層の第1耐酸化性絶縁膜が露出するように平坦化処理する工程と、前記マスク層をエッチングにより除去する工程を有する半導体装置の製造方法に関する。

【0026】また本発明は、前記サイドウォールは酸化膜を用いて厚さ10nm以上20nm以下となるよう形成する上記のトレンチ分離構造の形成方法に関する。

【0027】また本発明は、前記第1耐酸化性絶縁膜として窒化膜を形成し、前記第2耐酸化性絶縁膜として厚さ4nm以上20nm以下の窒化膜を形成する上記のトレンチ分離構造の形成方法に関する。

【0028】また本発明は、前記第2耐酸化性絶縁膜上に熱CVD法により帯電防止絶縁膜を形成する工程をさらに有し、前記第2絶縁膜をプラズマCVD法あるいは高密度プラズマCVD法により形成する上記のトレンチ分離構造の形成方法に関する。

【0029】また本発明は、前記帯電防止絶縁膜として厚さ5nm以上30nm以下の酸化膜を形成する上記のトレンチ分離構造の形成方法に関する。

【0030】また本発明は、前記第1絶縁膜として熱酸化膜を形成する上記のトレンチ分離構造の形成方法に関する。

【0031】また本発明は、半導体基板に形成されたトレンチ内に第1絶縁膜、前記第1絶縁膜上に形成された第2絶縁膜、および前記第2絶縁膜上に形成された耐酸化性絶縁膜を有し、且つ前記第1絶縁膜、前記第2絶縁膜および前記耐酸化性絶縁膜を介して前記トレンチ内を埋め込むように形成された埋込絶縁膜を有するトレンチ分離構造を備えた半導体装置に関する。

【0032】また本発明は、半導体基板に形成されたトレンチ内に第1絶縁膜、前記第1絶縁膜上に形成された第2絶縁膜、前記第2絶縁膜上に形成された耐酸化性絶縁膜、および前記耐酸化性絶縁膜上に形成された帯電防止絶縁膜を有し、且つ前記第1絶縁膜、前記第2絶縁膜、前記耐酸化性絶縁膜および前記帯電防止絶縁膜を介して前記トレンチ内を埋め込むように形成された埋込絶縁膜を有するトレンチ分離構造を備えた半導体装置に関する。

【0033】また本発明は、前記帯電防止絶縁膜は熱CVD絶縁膜である上記の半導体装置に関する。

【0034】また本発明は、前記帯電防止絶縁膜は厚さ5nm以上30nm以下の酸化膜である上記の半導体装置に関する。

【0035】また本発明は、前記埋込絶縁膜はプラズマCVD絶縁膜あるいは高密度プラズマCVD絶縁膜である上記の半導体装置に関する。

【0036】また本発明は、前記耐酸化性絶縁膜は厚さ4nm以上20nm以下の窒化膜である上記の半導体装置に関する。

【0037】また本発明は、前記第2酸化膜は厚さ5nm以上30nm以下の酸化膜である上記の半導体装置に関する。

【0038】また本発明は、前記第1酸化膜は熱酸化膜

である上記の半導体装置に関する。

【0039】

【発明の実施の形態】以下、本発明の好適な実施の形態を図面を参照しながら説明する。

【0040】図1～図3は、本発明のトレンチ分離構造の形成方法（トレンチ分離法）の第1の実施形態を説明するための工程断面図である。

【0041】まず、マスク層として、シリコン基板1上にシリコン酸化膜2及びシリコン窒化膜3（第1耐酸化性絶縁膜）を順次形成する。このとき、シリコン酸化膜2の厚さは5～30nm程度、シリコン窒化膜3の厚さは140～200nm程度とすることができます。次いで、トレンチTを形成しようとする領域（非活性領域）

10 上のシリコン窒化膜3が露出するようにレジストパターン（不図示）を形成し、このレジストパターンをマスクとして非活性領域のシリコン基板1表面が露出するまでシリコン窒化膜3及びシリコン酸化膜2を順次エッティングする。レジストパターンを除去した後、シリコン窒化膜3をマスクとして露出しているシリコン基板1表面を20 エッティングして基板平面からの深さ200～500nm程度のトレンチTを形成する（図1(a)）。なお、シリコン窒化膜3上に厚さ10～60nm程度の酸化膜を形成してもよく、またレジストパターンはトレンチTを形成した後に除去してもよい。

【0042】次に、第1絶縁膜としてトレンチTの内部の壁面に厚さ10～20nm程度の熱酸化膜4を形成する（図1(b)）。この熱酸化膜は、トレンチTの形成のために行った前記エッティングにより発生した基板表面の損傷を補償すると同時に、トレンチのコーナーを丸めて応力を緩和することで基板内にディスロケーションが発生することを防ぐためのものである。

【0043】次に、基板正面の全体にエッティング障壁用絶縁膜11を形成する（図1(c)）。このエッティング障壁用絶縁膜11としては、シリコン酸化膜を用いることができるが、HTO（High Temperature Oxide）酸化膜、LPTEOS-NSG（Low Pressure Tetra Ethyl Ortho Silicate Non-doped Silicate Glass）酸化膜等を用いてもよい。エッティング障壁用絶縁膜の形成は、例えば、膜質やステップカバレッジが良好な減圧CVD

40 (Low Pressure CVD:LPCVD) 法により形成することができる。このエッティング障壁用絶縁膜の厚さとしては、5nm以上30nm以下に設定することが好ましい。このエッティング障壁用絶縁膜が薄すぎると、シリコン窒化膜3の側壁へのエッティング障壁用絶縁膜のカバレッジが不十分となり、シリコン窒化膜3と窒化膜ライナー5との分離ができなくなるため、後に行うシリコン窒化膜3を除去するためのウェットエッティング工程において窒化膜ライナー5がトレンチ内にまでエッティングされることになる。窒化膜ライナー5のトレンチ内への過剰なエッティングは溝Dの発生を引き起こし、結果、ゲート電極の

ショート不良等が起きやすくなる。エッティング障壁用絶縁膜が厚すぎると、トレンチTの開口径が小さくなりすぎ、絶縁膜の埋込性が低下する。

【0044】次に、第2耐酸化性絶縁膜として基板主面の全体に窒化膜ライナー（シリコン窒化膜ライナー）5を形成する。この窒化膜ライナー5は、例えば、膜質やステップカバレッジが良好な減圧CVD法により形成することができる。成膜温度は600～800°C程度に設定することができる。窒化膜ライナー5の厚さは4nm以上が好ましく、5nm以上がより好ましく、また20nm以下が好ましく、10nm以下がより好ましく、7nm以下がさらに好ましい。窒化膜ライナー5が薄すぎると前述のトレンチ壁内部の酸化防止効果が不十分になる。一方、窒化膜ライナー5が厚すぎると、後に行うシリコン窒化膜3を除去するためのウェットエッティング工程において窒化膜ライナー5のエッティングが過剰に進行し、トレンチ内までいたる。窒化膜ライナー5のトレンチ内への過剰なエッティングは溝Dの発生を引き起こし、結果、ゲート電極のショート不良等が起きやすくなる。

【0045】ここで必要により、窒化膜ライナー5上に帯電防止絶縁膜を形成してもよい（不図示）。この帯電防止絶縁膜は、後に形成する埋込絶縁膜6をプラズマCVD法、特に高密度プラズマCVD法により形成する場合に設けることが好ましい。この帯電防止絶縁膜を形成することによって、埋込酸化膜6の成膜時のプラズマ等の荷電粒子に起因して起り得る埋込酸化膜6や窒化膜ライナー5の剥がれを防止することができる。

【0046】この帯電防止絶縁膜の形成は、トレンチ内の窒化膜ライナー6がプラズマ等の荷電粒子によりできるだけ帯電しないように、プラズマCVD法以外のCVD法すなわち熱CVD法で行なうことが好ましく、特に高密度プラズマCVD法以外のCVD法により形成することが好ましい。熱CVD法としては、各種の減圧CVD法や常圧CVD法を用いることができるが、中でも、膜質やステップカバレッジが良好な減圧CVD法が好ましい。このようにして形成される帯電防止絶縁膜としては、シリコン酸化膜等の種々の酸化膜を用いることができ、HTO酸化膜、LPTEOS-NSG酸化膜等を用いてもよい。帯電防止絶縁膜の厚さは5nm以上30nm以下とすることが好ましい。帯電防止絶縁膜が薄すぎると窒化膜ライナー5や埋込絶縁膜6の剥がれを十分に防止できなくなる。一方、帯電防止絶縁膜が必要以上に厚すぎると、不経済であるだけでなく、トレンチ内が狭くなり埋込絶縁膜6による埋込性を低下させることになる。

【0047】次に、窒化膜ライナー5上あるいは帯電防止絶縁膜上に、第2絶縁膜としてトレンチTが充填されるように厚さ400～600nm程度の埋込絶縁膜（埋込シリコン酸化膜）6を形成する（図2（a））。この埋込絶縁膜6は、膜質やステップカバレッジが良好な減

圧CVDやプラズマCVD法により形成することができる。プラズマCVD法としては、トレンチTの埋込性や膜の緻密性の点から、高密度プラズマCVD（バイアス高密度プラズマCVD）法が好ましい。

【0048】高密度プラズマCVD法は、微細な凹部パターンへの埋込性が高いことが特徴であり、電離密度については通常のプラズマCVDに比して2桁高い 10^{11} ～ $10^{12}/\text{cm}^3$ 程度の低温プラズマが用いられる。装置構成については、主に、プラズマを多く発生可能なインダクティブ結合型（ICP）やECR型のチャンバー構造がとられ、通常のプラズマCVDにおける平行平板型とは異なる。基板にはバイアスが印加され、基板電位の点でも、グランド又はフローティング（電気的に浮いた状態）に保たれる通常のプラズマCVD法とは異なる。

【0049】高密度プラズマCVD法による成膜条件としては、例えば次のように設定することができる。使用ガス種としてはシランガス、酸素ガス及びアルゴンガスを用いることができ、それぞれのガス流量としてはシリガス流量：50～200sccm (ml/min(normal))、酸素ガス流量：100～350sccm (ml/min(normal))、アルゴンガス流量：50～150sccm (ml/min(normal))に設定することができる。成膜温度は300～900°Cの範囲で適宜設定されるが、600～800°Cの範囲に設定する方が好ましい。引き出し電力は、500W程度までの範囲で適宜設定されるが、2000～5000Wが好ましく3000～4000Wがより好ましい。

【0050】なお、トレンチ内に充填された埋込絶縁膜6が後の湿式洗浄工程にてエッティングされにくくするため、緻密化の目的で焼き締め処理を行ってもよい。この焼き締め処理としては、例えば、800°C以上での酸化処理や1000°C以上での窒素雰囲気でのアニーリング処理が挙げられる。

【0051】次に、シリコン窒化膜3が露出するまで、化学的機械的研磨（CMP: Chemical Mechanical Polishing）あるいは異方性エッティングによるエッチバックを行い、基板主表面の平坦化を行う（図2（b））。

【0052】次に、ウェットエッティングにより、活性領域上のシリコン窒化膜3を除去する（図2（c））。エッティング液としては、シリコン酸化膜に対してシリコン窒化膜のエッティング速度が大きい（選択比が大きい）、いわゆる熱リン酸（H₃PO₄）溶液を用いることができる。この熱リン酸によるエッティング条件は、処理時間や選択比等の点から、リン酸濃度として80～95wt.%程度、温度として140～200°C程度の範囲で適宜設定することができる。ウェットエッティングにより、埋込絶縁膜6とエッティング障壁用絶縁膜11との間の窒化膜ライナー5の一部も露出端からエッティングされる。埋込絶縁膜6とエッティング障壁用絶縁膜11との間の窒化膜

ライナー5は、エッティング液との接触面積が小さいため、そのエッティング速度はシリコン窒化膜3のエッティング速度より低くなる。結果、シリコン窒化膜3を完全に除去した後において、窒化膜ライナー5がトレンチ内部まで過剰にエッティングされることを防止できる。

【0053】次に、湿式洗浄工程（シリコン酸化膜のウェットエッティング処理）にて、活性領域上のシリコン酸化膜2、非活性領域の埋込絶縁膜6及びエッティング障壁用絶縁膜11（場合によりさらに帯電防止絶縁膜）からなる突出部を除去して、目的とするトレンチ分離構造を形成する（図3）。このとき、図2(c)で示された工程において、窒化膜ライナー5がトレンチ内部に至るまで過剰にエッティング除去されていず、ほぼ基板平面の高さにあるため、トレンチ分離領域の縁に沿った溝Dが形成されることはない。

【0054】実施例1として、上述の方法に従って、トレンチTの基板平面に対する深さを350nm、エッティング障壁用絶縁膜（シリコン酸化膜）の厚さを10nm、窒化膜ライナー5の厚さを6nmとし、埋込絶縁膜6（シリコン酸化膜）を減圧CVD法により成膜してトレンチ分離構造を形成したところ、溝Dは形成されず良好なトレンチ分離構造が得られた。

【0055】実施例2として、上述の方法に従って、トレンチTの基板平面に対する深さを350nm、エッティング障壁用絶縁膜（シリコン酸化膜）の厚さを10nm、窒化膜ライナー5の厚さを6nm、帯電防止絶縁膜（シリコン酸化膜）の厚さを20nmとし、埋込絶縁膜6（シリコン酸化膜）を下記の成膜条件で高密度プラズマCVD法により成膜してトレンチ分離構造を形成したところ、溝Dは形成されず、また埋込絶縁膜の剥がれによる浮き上がりは無かった。比較例として、帯電防止絶縁膜及びエッティング障壁用絶縁膜を形成しなかった以外は実施例2と同様にしてトレンチ分離構造を形成したところ、トレンチ分離領域沿って溝Dが形成され、また埋込絶縁膜の剥がれによる浮き上がりが観察された。

【0056】高密度プラズマCVD成膜条件：

CVD装置：商品名Centura、Applied Material Japan Inc.製、

成膜温度：730°C、

引き出し電力：3500W、

ガス条件：SiH₄ガス流量120sccm (ml/min(normal))、O₂ガス流量：260sccm (ml/min(normal))、

A_rガス流量：90sccm (ml/min(normal))、

DS(デポ・スパッタレート)：4.6

次に図4～図6を用いて第2の実施形態について説明する。

【0057】まず、第1の実施形態と同様に、マスク層として、シリコン基板1上にシリコン酸化膜2及びシリコン窒化膜3（第1耐酸化性絶縁膜）を順次形成する。

次いでトレンチを形成しようとする領域よりやや広い領

域上のシリコン窒化膜3が露出するようにレジストパターンを形成し、このレジストパターンをマスクとしてシリコン基板1表面が露出するまでシリコン窒化膜3及びシリコン酸化膜2を順次エッティングする。

【0058】次に、レジストパターンを除去した後、基板正面の全体にサイドウォール用絶縁膜を形成する。次いで、このサイドウォール用絶縁膜を、異方性エッティングによりエッチバックすることにより、シリコン窒化膜3及びシリコン酸化膜2に形成された開口内の側壁にサイドウォール12を形成する（図4(a)）。サイドウォール用絶縁膜としては、減圧CVD法等によりシリコン酸化膜を形成することができる。このサイドウォール用絶縁膜は、後に行う基板洗浄工程によるエッティング量を考慮して10～100nm程度に形成することができる。

【0059】次に、シリコン窒化膜3及びサイドウォール12をマスクとして、露出しているシリコン基板1表面をエッティングしてトレンチTを形成する（図4(b)）。通常、このエッティング後において、エッティングにより発生・付着したデポジットを除去するために基板洗浄（ウェットエッティング）を行うが、サイドウォール12が少なくとも5～30nm程度の幅（基板平面方向の長さ）をもって残るように、処理時間やエッティング液種・濃度などを調整する（図5(a)）。その際、この基板洗浄後のサイドウォール12の高さ（基板平面に垂直方向の長さ）は、後に行う平坦化処理後においてシリコン窒化膜3の開口内の側壁面を覆う程度の高さをもって残すことが好ましい。

【0060】サイドウォール12の幅は、トレンチT形成後のデポジット除去のための洗浄工程においてこのサイドウォール12が除去されるような狭い幅には設定しないこととしている。このような狭い幅にした場合、シリコン窒化膜3と窒化膜ライナー5との分離ができないため、後に行うシリコン窒化膜3を除去するためのウェットエッティング工程において窒化膜ライナー5がトレンチ内にまで過剰にエッティングされることになる。また、素子の微細化を考慮し、サイドウォール12の幅を過大に設定しないこととしている。

【0061】次に、第1絶縁膜としてトレンチTの内部の壁面に厚さ10～20nm程度の熱酸化膜4を形成する（図5(b)）。その後、第1の実施形態と同様にして、第2耐酸化性絶縁膜として基板正面の全体に窒化膜ライナー5を形成し（図5(c)）、必要により窒化膜ライナー5上に帯電防止絶縁膜を形成した後、トレンチTが充填されるように埋込絶縁膜（第2絶縁膜）6を形成する（図6(a)）。続いて、シリコン窒化膜3が露出するまで、CMPあるいは異方性エッティングによるエッチバックを行い、基板主表面の平坦化を行う（図6(b)）。

【0062】次に、第1の実施形態と同様に、等方性エ

ッチング、例えばリン酸溶液等を用いたウェットエッチングにより、活性領域上のシリコン窒化膜3を除去する(図6(c))。このとき、埋込絶縁膜6とサイドウォール12との間の窒化膜ライナー5も露出端からエッチング除去される。サイドウォール12はエッチング障壁膜として機能し、このサイドウォール12と埋込絶縁膜6との間の窒化膜ライナー5は、エッチング液との接触面積が小さいため、そのエッチング速度はシリコン窒化膜3のエッチング速度より低くなる。結果、シリコン窒化膜3を完全に除去した後において、窒化膜ライナー5がトレンチ内部まで過剰にエッチングされることを防止できる。

【0063】次に、湿式洗浄工程にて、活性領域上のシリコン酸化膜2、非活性領域の埋込絶縁膜6及びサイドウォール12(場合によりさらに帯電防止絶縁膜)からなる突出部を除去して、目的とするトレンチ分離構造を形成する(図3)。このとき、図6(c)で示された工程において、窒化膜ライナー5がトレンチ内部までエッチングされずにはほぼ基板平面の高さにあるため、トレンチ分離領域の縁に沿った溝Dが形成されることはない。

【0064】

【発明の効果】本発明によれば、エッチングストップ膜(例えば窒化膜)の側面にエッチング障壁膜を形成するため、基板凹部の形成に用いたマスク層(例えば窒化膜)を除去するためのエッチング工程においてエッチングストップ膜の基板凹部内へ達する過剰なエッチングを防止することができる。結果、トレンチ領域の縁に溝Dが形成されず、ゲートパターン形成後の電極材料の残留が抑えられ、優れた素子特性を発揮させ得るトレンチ分離構造を形成することができる。

【0065】また、基板に凹部を形成する工程において、エッチングストップ膜(例えば窒化膜)の側壁に薄膜の絶縁膜スペーサを形成するか、またはスペーサを形成しなくともよいことから、スペーサ幅の活性領域に占める割合を減らすことができ、エッチングストップ膜の幅を微細化することによって容易に活性領域の微細化を達成することができる。

【0066】さらに、エッチングストップ膜で被覆された基板凹部内に帯電防止絶縁膜を介して埋め込み絶縁膜を形成することにより、この埋込絶縁膜を埋込性に優れるプラズマCVD法あるいは高密度プラズマCVD法により形成した場合に成膜中の荷電粒子に起因して起こり得る膜剥がれを防止することができる。よって、このような埋込性に優れる成膜法を用いることができるため、微細な凹部を良好に埋め込むことが可能になる。

【図面の簡単な説明】

【図1】本発明のトレンチ分離法の一実施形態を説明するための工程断面図である。

【図2】本発明のトレンチ分離法の一実施形態を説明するための工程断面図である。

【図3】本発明のトレンチ分離法の一実施形態を説明するための工程断面図である。

【図4】本発明のトレンチ分離法の他の実施形態を説明するための工程断面図である。

10 【図5】本発明のトレンチ分離法の他の実施形態を説明するための工程断面図である。

【図6】本発明のトレンチ分離法の他の実施形態を説明するための工程断面図である。

【図7】従来のトレンチ分離法の一例を説明するための工程断面図である。

【図8】従来のトレンチ分離法の一例を説明するための工程断面図である。

【図9】従来のトレンチ分離法の一例を説明するための工程断面図である。

20 【図10】従来のトレンチ分離法の一例を説明するための工程断面図である。

【図11】従来のトレンチ分離法の一例を説明するための工程断面図である。

【図12】従来のトレンチ分離法により形成されたトレンチ分離構造の断面図である。

【符号の説明】

1 シリコン基板

2 シリコン酸化膜

3 シリコン窒化膜

30 4 熱酸化膜

5 窒化膜ライナー

6 埋込絶縁膜

11 エッチング障壁用絶縁膜

12 サイドウォール

101 シリコン基板

102 シリコン酸化膜

103 シリコン窒化膜

104 热酸化膜

105 窒化膜ライナー

40 106 埋込絶縁膜

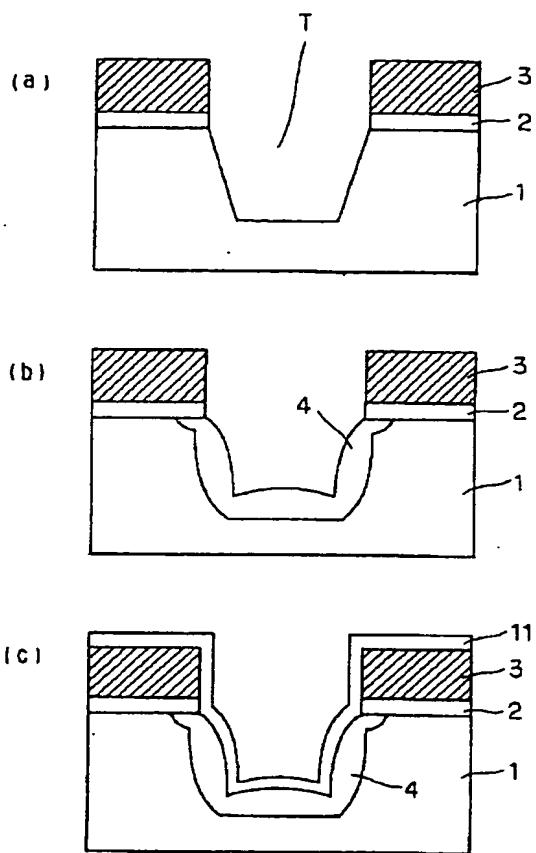
107 スペーサ

108 底部

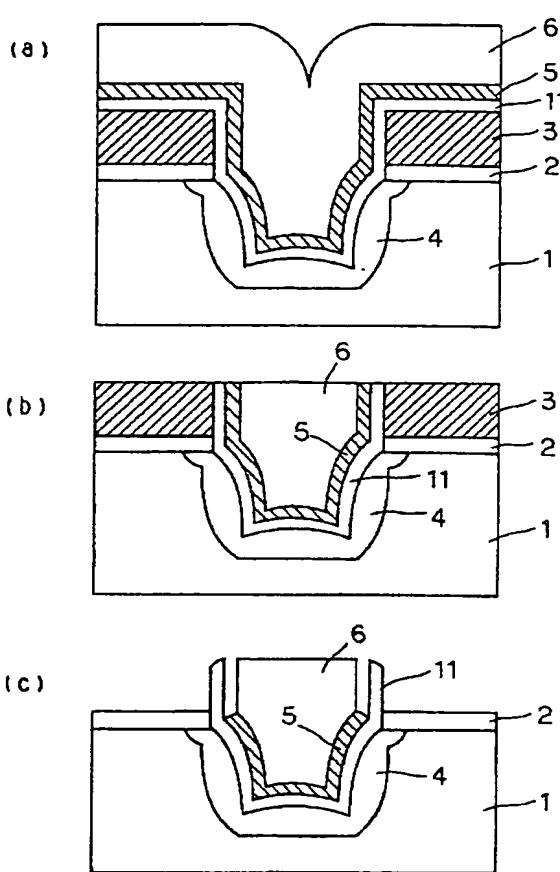
T トレンチ

D 溝

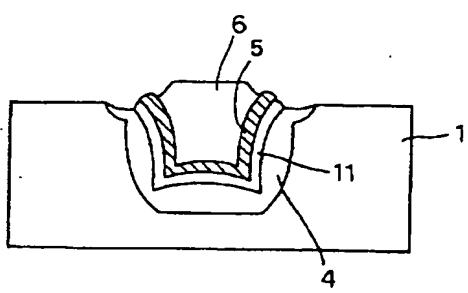
【図1】



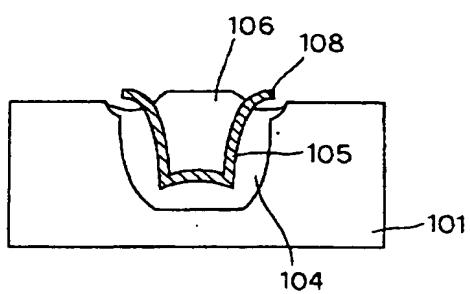
【図2】



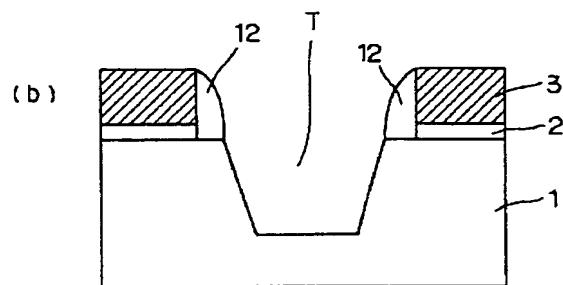
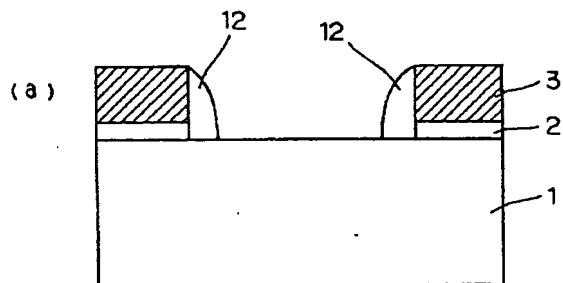
【図3】



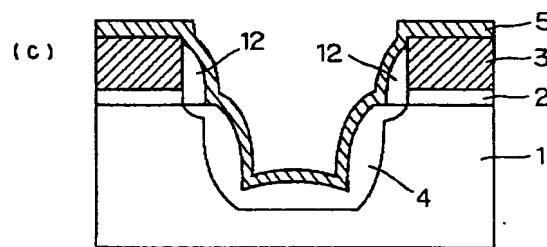
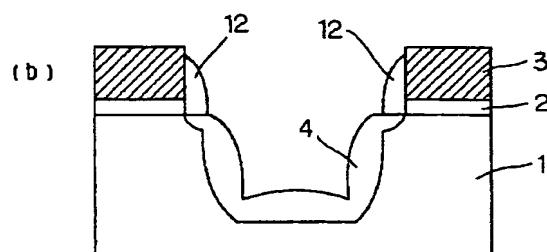
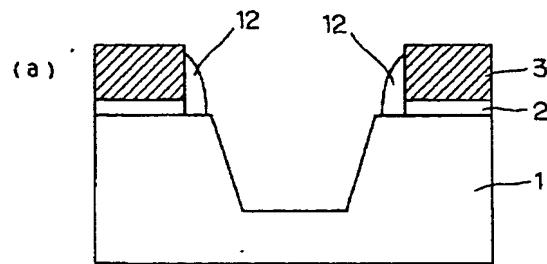
【図12】



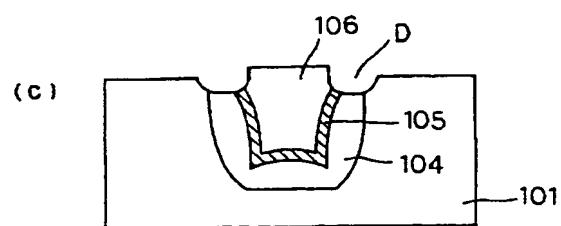
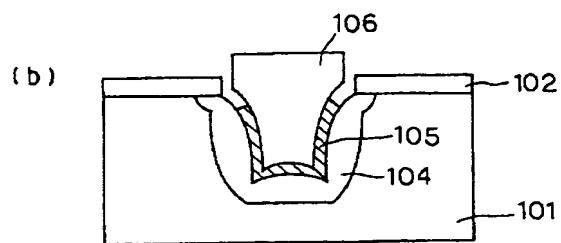
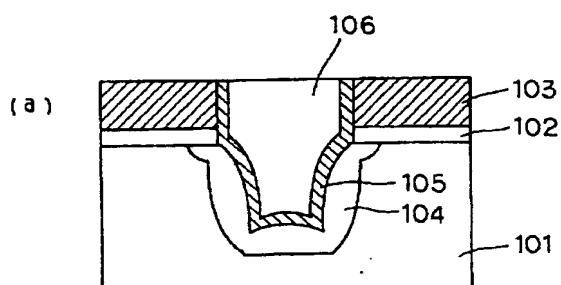
【図4】



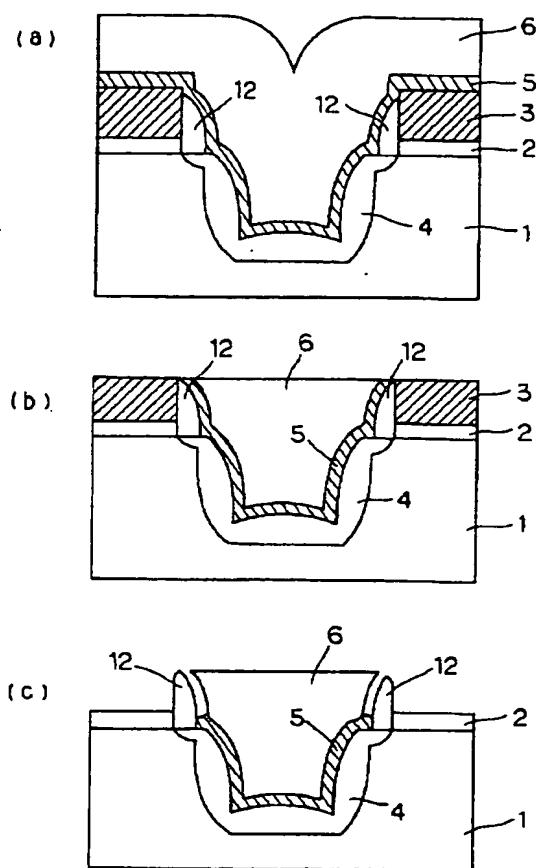
【図5】



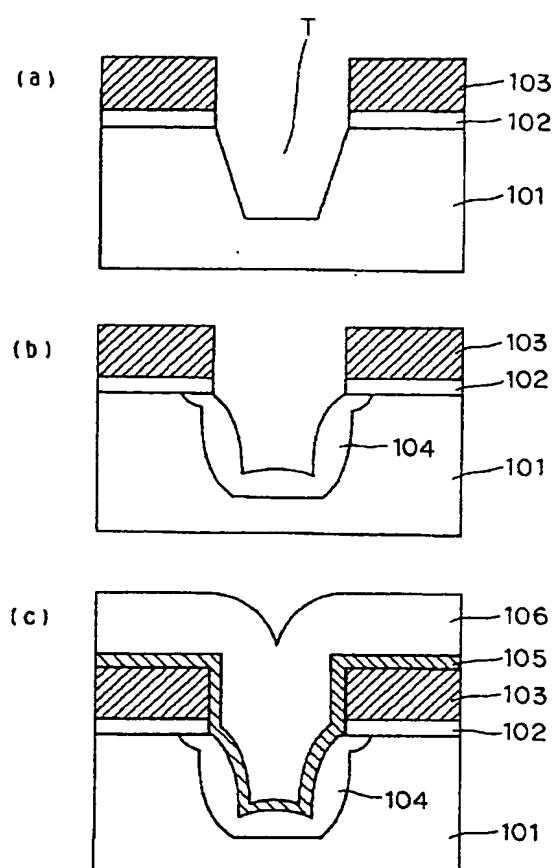
【図8】



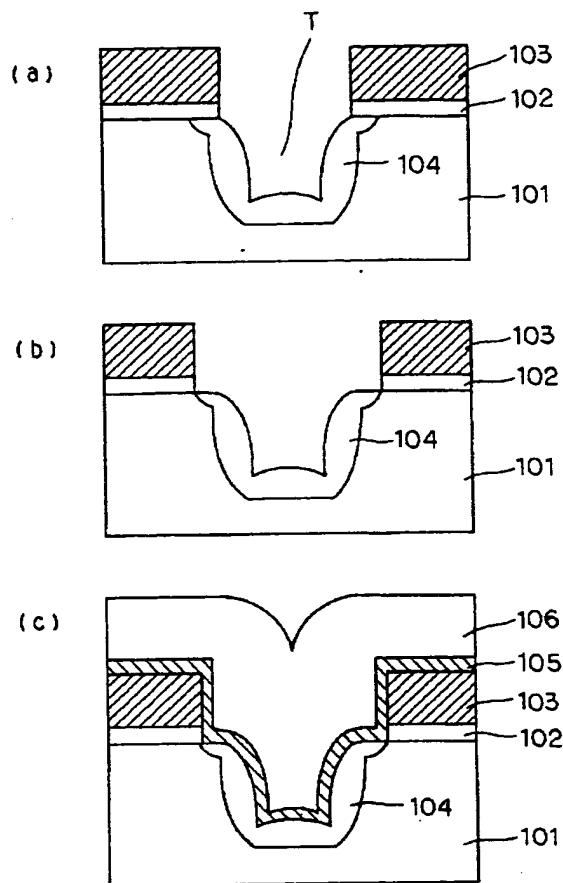
【図6】



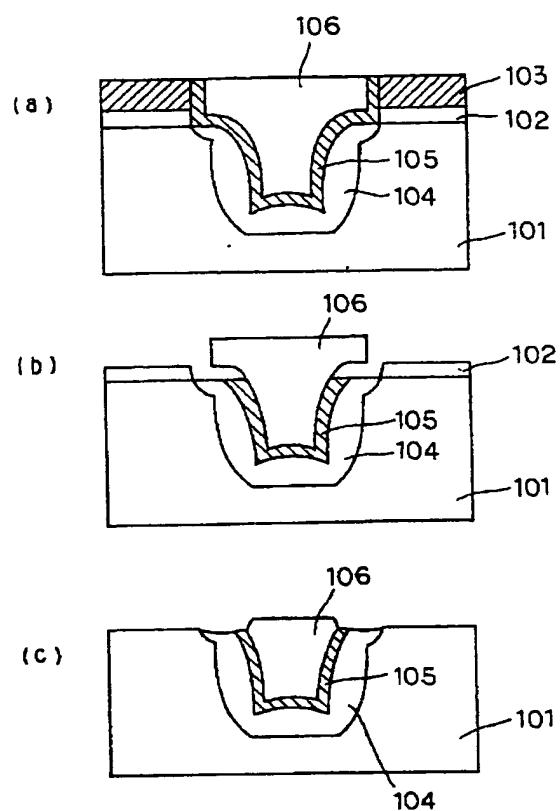
【図7】



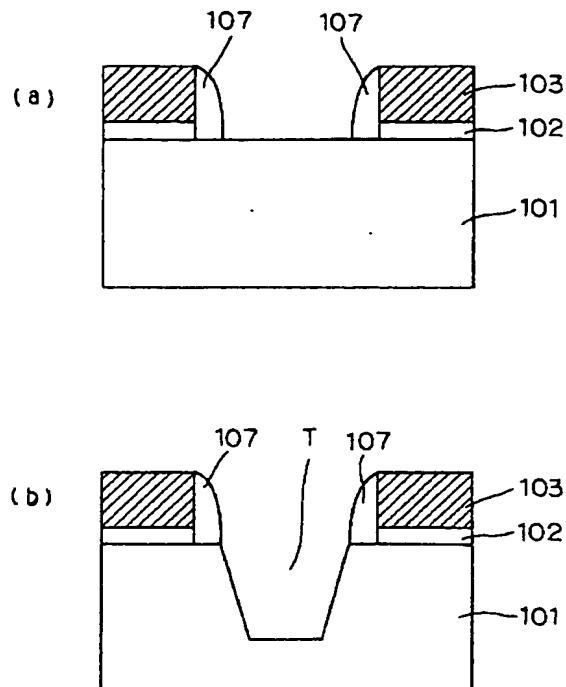
【図9】



【図10】



【図11】



フロントページの続き

(51) Int.Cl.⁷
H 01 L 21/318

識別記号

F I
H 01 L 21/306

テ-マコ-ト(参考)
D

F ターム(参考) 5F032 AA34 AA45 AA46 AA54 AA69
DA01 DA02 DA03 DA04 DA22
DA24 DA25 DA26 DA28 DA30
DA33 DA34 DA53 DA74 DA78
5F043 AA31 AA35 DD16 FF01 GG05
5F058 BD02 BD04 BD10 BF01 BF04
BF25 BF52 BH10 BJ06

THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)